

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **10079405 A**

(43) Date of publication of application: **24.03.98**

(51) Int Cl
H01L 21/60
H01L 23/12

(21) Application number: **08233721**

(22) Date of filing: **04.09.96**

(71) Applicant: **HITACHI LTD**

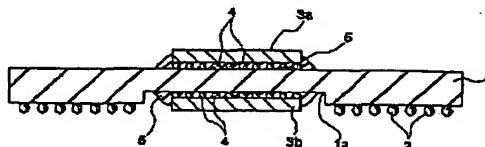
(72) Inventor:
HOZOJI HIROYUKI
YAMAGUCHI EIJI
MIWA TAKASHI

**(54) SEMICONDUCTOR DEVICE AND ELECTRONIC
COMPONENT MOUNTING THE SAME**

(57) Abstract:

PROBLEM TO BE SOLVED: To provide a technique of semiconductor device, capable of preventing a package board of the semiconductor device in which a semiconductor chip mounted on the package board is prevented from warping through bumps.

SOLUTION: A semiconductor device is formed by a package board 1 on which first and second semiconductor chips 3a and 3b, having predetermined circuit elements on it, are mounted on both sides of the board respectively. The first and semiconductor chips 3a and 3b are mounted opposite on the other side of the package board 1 and connected electrically to the wiring layer through the bump 4. A plurality of solder bumps 2 electrically connecting the first and second semiconductor chips 3a to the mounting board through the wiring layer is formed on the package board 1.



COPYRIGHT: (C)1998,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-79405

(43) 公開日 平成10年(1998) 3月24日

(51) Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/60 23/12	3 1 1		H 0 1 L 21/60 23/12	3 1 1 S L

審査請求 未請求 請求項の数7 O L (全 6 頁)

(21) 出願番号 特願平8-233721

(22) 出願日 平成8年(1996) 9月4日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 宝蔵寺 裕之

東京都青梅市今井2326番地 株式会社日立
製作所デバイス開発センタ内

(72) 発明者 山口 栄次

東京都青梅市今井2326番地 株式会社日立
製作所デバイス開発センタ内

(72) 発明者 三輪 孝志

東京都青梅市今井2326番地 株式会社日立
製作所デバイス開発センタ内

(74) 代理人 弁理士 筒井 大和

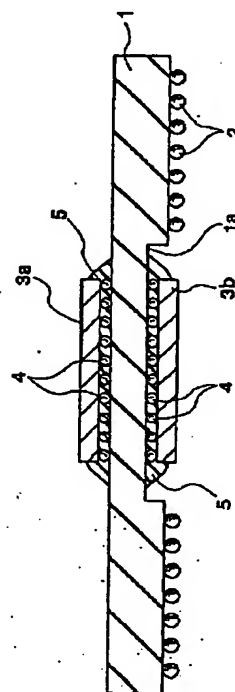
(54) 【発明の名称】 半導体装置およびそれが実装された電子部品

(57) 【要約】

【課題】 半導体チップが bumps を介してパッケージ基板に搭載された半導体装置におけるパッケージ基板の反りが防止された半導体装置技術を提供する。

【解決手段】 所定の回路素子が形成された第1および第2の半導体チップ3a, 3bがパッケージ基板1の各面に搭載された半導体装置である。第1および第2の半導体チップ3a, 3bは相対する位置に搭載され、bumps 4を介して配線層と電気的に接続されている。パッケージ基板1には配線層を通じて第1および第2の半導体チップ3a, 3bと実装基板とを電気的に接続する複数のんだ bumps 2が形成されている。

図 1



1: パッケージ基板
2: んだ bumps
3a: 第1の半導体チップ
3b: 第2の半導体チップ
4: bumps
5: 配線層

【特許請求の範囲】

【請求項1】 所定の回路素子が形成された第1および第2の半導体チップと、

絶縁性を有する部材により構成されて配線層が形成され、前記第1および第2の半導体チップが相対する位置で且つバンプを介して各面にそれぞれ装着されて該配線層に電氣的に接続されたパッケージ基板と、

前記パッケージ基板に形成され、前記配線層を通じて前記第1および第2の半導体チップと実装基板とを電氣的に接続する複数の実装接続体とから構成されていることを特徴とする半導体装置。

【請求項2】 請求項1記載の半導体装置において、前記第1の半導体チップはCPUであり、前記第2の半導体チップはこのCPUに制御されるメモリであることを特徴とする半導体装置。

【請求項3】 所定の回路素子が形成された半導体チップと、

絶縁性を有する部材により構成されて配線層が形成され、前記半導体チップがバンプを介して前記配線層と電氣的に接続されて一方面に搭載されるとともにこの半導体チップと熱膨張係数が同一または近似するプレート材が他方面の前記半導体チップと相対する位置に装着されたパッケージ基板と、

前記パッケージ基板に形成され、前記配線層を通じて前記半導体チップと実装基板とを電氣的に接続する複数の実装接続体とから構成されていることを特徴とする半導体装置。

【請求項4】 請求項3記載の半導体装置において、前記プレート材は窒化ホウ素、窒化アルミニウム、炭化珪素、ムライトまたはアルミナのセラミックであることを特徴とする半導体装置。

【請求項5】 所定の回路素子が形成された半導体チップと、

絶縁性を有する部材により構成されて配線層が形成され、前記半導体チップがバンプを介して前記配線層と電氣的に接続されて一方面に搭載されるとともに該配線層とは電氣的に接続されないダミーチップが他方面の前記半導体チップと相対する位置に装着されたパッケージ基板と、

前記パッケージ基板に形成され、前記配線層を通じて前記半導体チップと実装基板とを電氣的に接続する複数の実装接続体とから構成されていることを特徴とする半導体装置。

【請求項6】 請求項1、2、3、4または5記載の半導体装置において、前記パッケージ基板の少なくとも一方面には凹状部が形成され、前記半導体チップ、前記プレート材またはダミーチップはこの凹状部にはめ込まれた状態で装着されていることを特徴とする半導体装置。

【請求項7】 請求項1、2、3、4、5または6記載の半導体装置が実装基板に実装されてなることを特徴とする電子部品。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体チップがバンプを介してパッケージ基板に搭載された半導体装置に関するものである。

【0002】

【従来の技術】電子、情報機器類の小型化、多機能化に伴い、それに搭載される半導体装置は小型化、多ピン化の傾向にある。このような潮流に対応して、たとえば、株式会社工業調査会発行、「電子材料（1995年4月号）」（平成7年4月1日発行）、P22～P28に記載のように、バンプを介して半導体チップをパッケージ基板に搭載し、両者の隙間に樹脂を充填したCSP（Chip Size Package）と呼ばれる半導体装置が知られている。

【0003】ここにおける半導体装置は、半導体チップとパッケージ基板とを接続するために、250℃程度の熱処理炉に投入してバンプを溶融することが行われている。そして、バンプ溶融後には、これを室温まで冷却している。

【0004】

【発明が解決しようとする課題】しかし、前記した技術では、半導体チップとパッケージ基板との熱膨張係数に大きな開きがあるために（半導体チップ；3～5ppm/℃・パッケージ基板；17～25ppm/℃）、冷却過程でパッケージ基板に反りが生じる。半導体チップとパッケージ基板との間に封止樹脂を充填した場合には、封止樹脂の硬化収縮が加わってこの現象は一層顕著に現れる。

【0005】このような半導体装置をはんだバンプ等を介して実装基板に接続した場合、反りによりパッケージ基板と実装基板との間に位置するはんだバンプの高さのバラツキが大きくなる。そして、高さの低いはんだバンプでは、温度サイクル試験等におけるパッケージ基板・実装基板間に発生する応力を十分に緩和することができず、接続信頼性が低下するという問題があった。

【0006】そこで、本発明の目的は、半導体チップがバンプを介してパッケージ基板に搭載された半導体装置におけるパッケージ基板の反りを防止できる技術を提供することにある。

【0007】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0008】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0009】すなわち、本発明の半導体装置は、所定の回路素子が形成された第1および第2の半導体チップがパッケージ基板の各面に搭載されたものである。第1および第2の半導体チップは相対する位置に搭載され、バ

ンプを介して配線層と電気的に接続されている。パッケージ基板には配線層を通じて第1および第2の半導体チップと実装基板とを電気的に接続する複数の実装接続体が形成されている。このような半導体装置では、第1の半導体チップをCPUとし、第2の半導体チップをこのCPUに制御されるメモリとすることができる。

【0010】また、本発明の半導体装置は、所定の回路素子が形成された半導体チップ、およびこの半導体チップと熱膨張係数が同一または近似するプレート材がパッケージ基板の各面に搭載されたものである。半導体チップとプレート材とは相対する位置に搭載されており、半導体チップがバンプを介して配線層と電気的に接続されている。パッケージ基板には配線層を通じて半導体チップと実装基板とを電気的に接続する複数の実装接続体が形成されている。この半導体装置では、プレート材に窒化ホウ素、窒化アルミニウム、炭化珪素、ムライトまたはアルミナのセラミックを用いることができる。

【0011】さらに、本発明の半導体装置は、所定の回路素子が形成された半導体チップおよびダミーチップがパッケージ基板の各面に搭載されたものである。半導体チップとダミーチップとは相対する位置に搭載されており、半導体チップがバンプを介して配線層と電気的に接続されている。パッケージ基板には配線層を通じて半導体チップと実装基板とを電気的に接続する複数の実装接続体が形成されている。

【0012】そして、これらの半導体装置においては、パッケージ基板の少なくとも一面に凹状部を形成し、半導体チップ、プレート材またはダミーチップをこの凹状部にはめ込んだ状態で装着するようにしてもよい。

【0013】また、本発明の電子部品は、このような半導体装置が実装基板に実装されて構成されているものである。

【0014】上記した手段によれば、パッケージ基板を反らそうとする応力が打ち消されて該パッケージ基板の反りの低減が可能となる。また、2つの半導体チップをCPUとメモリとの組み合わせとすれば、信号伝送経路が短縮化されて半導体装置の高速化を図ることが可能になる。

【0015】

【発明の実施の形態】以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一の部材には同一の符号を付し、その繰り返しの説明は省略する。

【0016】（実施の形態1）図1は、本発明の一実施の形態である半導体装置を示す断面図、図2は図1の半導体装置の組立工程の一例を（a）～（d）で連続的に示す説明図、図3は図1の半導体装置が実装基板に実装された状態を示す斜視図である。

【0017】図1に示す半導体装置は、パッケージ基板1の裏面にアレイ状に配列されたはんだバンプ（実装接

続体）2を介してこれを集装基板8（図3）に搭載するBGA（Ball Grid Array）タイプの半導体装置であり、たとえばムライトセラミックのような絶縁性を有する部材により構成されて配線層の形成されたパッケージ基板1の両面には、所定の回路素子の形成された第1および第2の半導体チップ3a、3bが装着されている。ここで、第1の半導体チップ3aは読み出した命令に従って必要な処理を実行するCPU（Central Processing Unit—中央演算処理装置）であり、第2の半導体チップ3bはCPUである第1の半導体チップ3aに制御されるメモリとなっている。但し、第1の半導体チップ3aと第2の半導体チップ3bとの搭載位置を逆にしてもよく、またCPUとメモリ以外の組み合わせであってもよい。そして、これらの半導体チップ3a、3bの搭載位置はパッケージ基板1を挟んで相対する位置であり、それぞれバンプ4を介して配線層と電気的に接続されている。なお、以下の実施の形態を含め、パッケージ基板1と実装基板8との接続を行うはんだバンプ2および半導体チップ3a、3bとパッケージ基板1の接続を行うバンプ4は、たとえばAu（金）、Sn（錫）—Pb（鉛）合金、Ag（銀）—Sn合金等からなっている。

【0018】第2の半導体チップ3bはパッケージ基板1の裏面に形成された凹状部1aにはめ込まれた状態で装着されてその突出量のはんだバンプ2以下とされ、実装時において第2の半導体チップ3bの干渉によりはんだバンプ2と実装基板8とが接続不能になることが防止されている。但し、凹状部1aなしでもこのような事態が発生しない場合には凹状部1aは必ずしも必要ではなく、また、表面に凹状部を形成して第1の半導体チップ3aをこの中に搭載するようにし、半導体装置の高さを抑えるようにしてもよい。

【0019】パッケージ基板1とこれに搭載された各半導体チップ3a、3bとの間は、バンプ4を外部的雰囲気から保護するため、半導体分野で一般に使用されている封止樹脂5が充填されている。但し、封止樹脂5にはエポキシ樹脂、シリコン樹脂、ポリイミド樹脂、フェノール樹脂等の熱硬化性樹脂を単独、あるいは二種類以上混合したものにシリカ、アルミナ等の充填剤、硬化促進剤、離型剤、着色剤、難燃剤等を配合したものをを用い、室温で液状のものをポッティング法により樹脂充填したり、室温で固体の物を加熱熔融させトランスファ方式により樹脂注入することができる。

【0020】このような構成の半導体装置は、図2に示す（a）～（d）という一連の工程を経て組み立てられる。

【0021】まず、図2（a）に示すように、バンプ4の形成された第1の半導体チップ3aを配線層の形成されたパッケージ基板1の表面の所定位置（ここでは、裏面の凹状部1aに相対する位置）に合わせ、これをバンプ4が熔融するたとえば250℃程度の温度にまで加熱

し、配線層から表面に露出した電極と第1の半導体チップ3aとを接続する。両者を接続した後、第1の半導体チップ3aとパッケージ基板1との間に液状の封止樹脂5を充填し、加熱硬化させる(図2(b))。

【0022】次に、パッケージ基板1を裏返し、第1の半導体チップ3aを接続する場合と同じ要領で前述した工程(図2(a),(b)に対応)を繰り返して裏面に第2の半導体チップ3bを装着する。なお、パッケージ基板1の裏面には凹状部1aが形成されており、第2の半導体チップ3bはこの凹状部1aにはめ込まれた形で搭載する。

【0023】そして、図2(c)に示すように、パッケージ基板1の両面に第1および第2の半導体チップ3a, 3bをそれぞれ接続した後、実装基板8との接続面であるパッケージ基板1の裏面にはんだバンプ2を設ける。

【0024】このようにして製造された半導体装置は、実装基板8に形成された配線8aの電極とこれに対応したバンプとが電気的、機械的に接続され、図3に示すように、実装基板8に対して面実装される。これにより、実装基板8および多数の半導体装置とからなる電子部品の一部を構成する。そして、電子部品単位で所定の機器に搭載されることで、他の半導体装置との間で信号の授受が行われることになる。

【0025】このように、本実施の形態の半導体装置では、パッケージ基板1の両面の相対する位置に同一の熱膨張係数である第1および第2の半導体チップ3a, 3bが搭載されているので、パッケージ基板1と半導体チップ3a, 3bとの熱膨張係数の違いや封止樹脂5の硬化収縮によってパッケージ基板1を反らそうとする応力が打ち消され、パッケージ基板1の反りの低減が可能となる。これにより、半導体装置を実装基板8に接続した場合のはんだバンプ2の高さは何れも同じになり、装置の接続信頼性を向上させることができる。

【0026】また、搭載される2つの半導体チップ3a, 3bをCPUとメモリとの組み合わせとすることにより、近接配置により信号電送経路が短縮化されて信号遅延が減少され、半導体装置の高速化を図ることが可能になる。

【0027】(実施の形態2) 図4は、本発明の他の実施の形態である半導体装置を示す断面図である。

【0028】本実施の形態における半導体装置では、パッケージ基板1の表面に回路素子の形成された半導体チップ3がバンプ4を介して配線層に接続されて搭載され、半導体チップ3と相対する裏面位置にプレート材6が装着されたものである。このプレート材6は、3~5ppm/°Cという半導体チップ3の熱膨張係数と同一あるいは近似するたとえば窒化ホウ素、窒化アルミニウム、炭化珪素、ムライトまたはアルミナのセラミックのような部材で構成されている。但し、これら以外の部材であっ

ても、熱膨張係数が10ppm/°C以下のものであれば適宜用いることが可能である。また、半導体チップ3とプレート材6との搭載位置は逆であってもよい。

【0029】なお、本実施の形態の半導体装置の組立は、前記した実施の形態1に説明する半導体装置と同様の手順、つまり、半導体チップ3とパッケージ基板1とを加熱して封止樹脂5を充填し、プレート材6を凹状部1aに装着し、最後にはんだバンプ2を設けるという手順で行われる。

【0030】本実施の形態の半導体装置においても、パッケージ基板1の両面の相対する位置に相互にほぼ同等の熱膨張係数を有する半導体チップ3およびプレート材6が搭載されているので、パッケージ基板1を反らそうとする応力が打ち消されて該パッケージ基板1の反りの低減が可能となり、装置の接続信頼性を向上させることができる。

【0031】(実施の形態3) 図5は本発明のさらに他の実施の形態である半導体装置を示す断面図である。

【0032】本実施の形態による半導体装置では、前記した実施の形態2のプレート材に代えて、パッケージ基板1の配線層とは電気的に接続されない半導体チップ、つまりダミーチップ7が装着されているものである。

【0033】このような構成の半導体装置においても、該ダミーチップ7は半導体チップ3と同じ熱膨張係数を有しているために、パッケージ基板1の反りが低減されて装置の接続信頼性を向上させることが可能になる。

【0034】以上、本発明者によってなされた発明をその実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることは言うまでもない。

【0035】たとえば、本実施の形態で説明されている半導体装置がBGAのために実装接続体としてはんだバンプ2が用いられているが、本発明は、たとえば表面実装方式のPGA(Pin Grid Array)など他の種々の半導体装置に適用することが可能であり、PGAの場合には裏面と垂直に導出されたリードが実装接続体となる。

【0036】

【発明の効果】本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば以下のとおりである。

【0037】(1).すなわち、本発明によれば、パッケージ基板と半導体チップとの熱膨張係数の違いや封止樹脂の硬化収縮によりパッケージ基板を反らそうとする応力が打ち消され、パッケージ基板の反りの低減が可能となる。したがって、半導体装置を実装基板に接続した場合のはんだバンプの高さはどの部分でも同じになり、装置の接続信頼性を向上させることができる。

【0038】(2).また、搭載される2つの半導体チップをCPUとメモリとの組み合わせとすることにより、信

号電送経路が短縮化されて信号遅延が減少され、半導体装置の高速化を図ることが可能になる。

【図面の簡単な説明】

【図1】本発明の実施の形態1による半導体装置を示す断面図である。

【図2】(a)～(d)は図1の半導体装置の組立工程の一例を連続的に示す説明図である。

【図3】実装基板に実装された図1の半導体装置を示す斜視図である。

【図4】本発明の実施の形態2による半導体装置を示す断面図である。

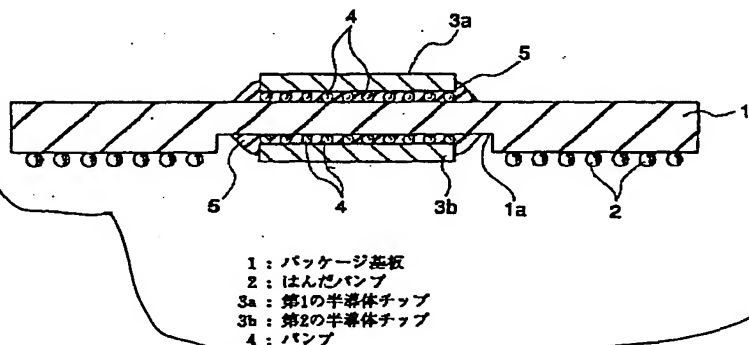
【図5】本発明の実施の形態3による半導体装置を示す断面図である。

【符号の説明】

- 1 パッケージ基板
- 1 a 凹状部
- 2 はんだバンプ (実装接続体)
- 3 半導体チップ
- 3 a 第1の半導体チップ
- 3 b 第2の半導体チップ
- 4 バンプ
- 5 封止樹脂
- 6 プレート材
- 7 ダミーチップ
- 8 実装基板
- 8 a 配線

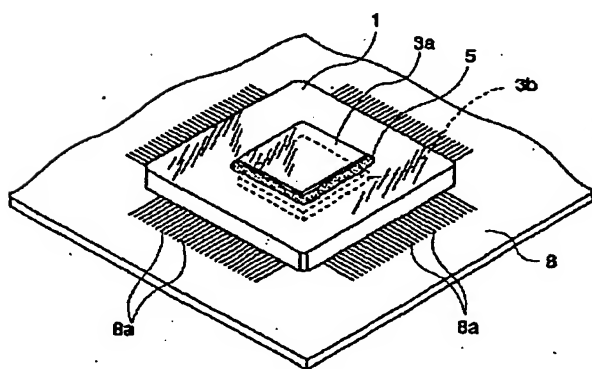
【図1】

図 1



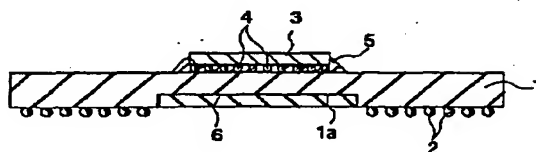
【図3】

図 3



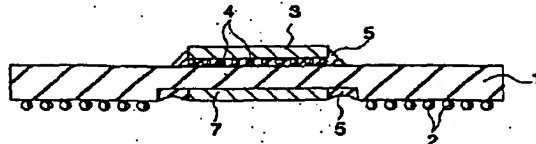
【図4】

図 4



【図5】

図 5



【図2】

